

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204854
 (43)Date of publication of application : 30.07.1999

(51)Int.CI.

H01L 43/08
 G01R 33/09
 G11B 5/39
 H01L 27/22

(21)Application number : 10-058244

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.03.1998

(72)Inventor : MIZUSHIMA KOICHI

(30)Priority

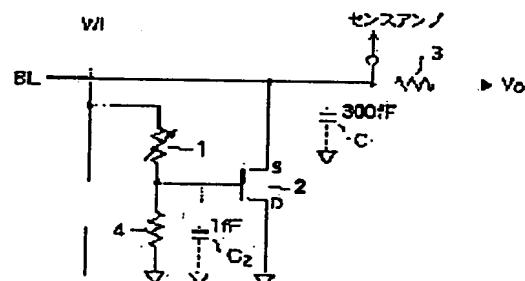
Priority number : 09310626 Priority date : 12.11.1997 Priority country : JP

(54) MAGNETIC DEVICE AND MAGNETIC BODY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a magnetic memory which is capable of reading out data at a high speed.

SOLUTION: A memory cell is composed of a MOS transistor 2 and a magnetic substance tunnel junction device 1 connected to the gate of the MOS transistor 2. The gate of the MOS transistor 2 is connected to a constant voltage source through the intermediary of the magnetic substrate tunnel junction device 1. The one end of a gate resistor 4 is connected to the gate, and the other end is grounded. The source of the MOS transistor 2 is connected in series with a comparison resistor 3 lower in resistance than the gate resistor 4, and the drain of the MOS transistor 2 is grounded.



LEGAL STATUS

[Date of request for examination] 07.03.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204854

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl.*

H 01 L 43/08
G 01 R 33/09
G 11 B 5/39
H 01 L 27/22

識別記号

F I

H 01 L 43/08
G 11 B 5/39
H 01 L 27/22
G 01 R 33/06

Z

R

審査請求 未請求 請求項の数12 OL (全14頁)

(21)出願番号

特願平10-58244

(22)出願日

平成10年(1998)3月10日

(31)優先権主張番号 特願平9-310626

(32)優先日 平9(1997)11月12日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区坂川町72番地

(72)発明者 水島 公一

神奈川県川崎市幸区小向東芝町1番地 株

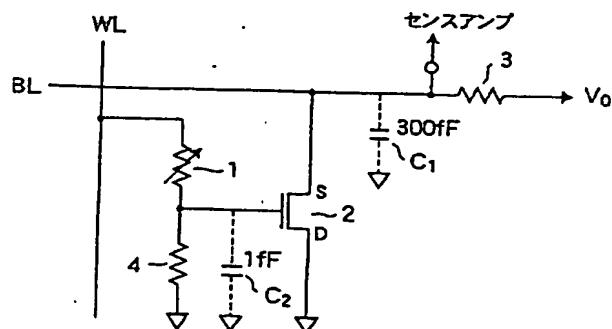
式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 磁気装置および磁性体素子

(57)【要約】

【課題】 読出し速度の速い磁気メモリを実現すること。
 【解決手段】 メモリセルとして、MOSトランジスタ2と、このMOSトランジスタ2のゲートに接続された磁性体トンネル接合素子1から構成されたものを用いる。そして、MOSトランジスタ2のゲートを磁性体トンネル接合素子1を介して定電圧源に接続する。また、ゲート抵抗4の一端をゲートに接続し、他端を接地する。また、MOSトランジスタ2のソースをゲート抵抗4よりも低抵抗の比較抵抗3に直列に接続し、MOSトランジスタ2のドレインを接地する。



【特許請求の範囲】

【請求項1】MOSトランジスタと、このMOSトランジスタのゲートに接続され、磁気ヘッド本体としてのGMR素子とを具備してなることを特徴とする磁気装置。

【請求項2】MOSトランジスタと、このMOSトランジスタのゲートに接続され、メモリセル本体としてのGMR素子とからなるメモリセルがマトリクス状に配列形成していることを特徴とする磁気装置。

【請求項3】前記GMR素子の磁化の方向を制御する磁化制御手段をさらに有することを特徴とする請求項2に記載の磁気装置。

【請求項4】前記MOSトランジスタのゲートは前記GMR素子を介して定電圧源に接続され、かつ第1の抵抗を介して接地され、前記MOSトランジスタのソースは前記第1の抵抗よりも低抵抗の第2の抵抗に直列に接続され、前記MOSトランジスタのドレインは接地されていることを特徴とする請求項1または請求項2に記載の磁気装置。

【請求項5】前記GMR素子は、磁性トンネル接合素子であるか、またはベース層が磁性積層膜で形成されたホットエレクトロン・トランジスタであることを特徴とする請求項1または請求項2に記載の磁気装置。

【請求項6】前記磁性トンネル接合素子の電極は、磁性膜、または磁性膜と絶縁膜との積層膜で形成されていることを特徴とする請求項5に記載の磁気装置。

【請求項7】前記ホットエレクトロン・トランジスタのエミッタ層は、Nbがドープされたチタン酸ストロンチウム膜で形成されていることを特徴とする請求項5に記載の磁気装置。

【請求項8】磁性体超薄膜を含む磁性体電極と、この磁性体電極から、電子に対してのポテンシャル障壁を介して、スピン偏極した電子電流が注入される半導体領域または常磁性金属領域からなる被注入領域とを具備してなることを特徴とする磁性体素子。

【請求項9】前記磁性体超薄膜の膜厚は、0.5nm以上5nm以下であることを特徴とする請求項8に記載の磁性体素子。

【請求項10】前記被注入領域が半導体領域の場合に、前記ポテンシャル障壁として、トンネル接合、ショットキー接合またはMIS接合を用いることを特徴とする請求項8に記載の磁性体素子。

【請求項11】前記被注入領域が常磁性金属領域の場合に、前記ポテンシャル障壁として、トンネル接合を用いることを特徴とする請求項8に記載の磁性体素子。

【請求項12】前記磁性体電極は、前記磁性体超薄膜と、電子に対してのバリア膜との積層膜からなることを特徴とする請求項8に記載の磁性体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、磁気ヘッドや磁気メモリなどの磁気装置および電極として磁性体電極を用いた磁性体素子に関する。

【0002】

【従来の技術】磁気記録の高密度化および高速化は、磁気記録媒体の改良と並んで、磁気記録装置の進歩、なかでも磁気記録の書き込みおよび読み出しに用いられる磁気ヘッドの進歩に負うところが多い。

【0003】近年、磁気記録媒体の小型や大容量化が進んでいる。このような小型や大容量化に伴って、磁気記録媒体と読み出し用磁気ヘッドとの相対速度が小さくなり、磁束密度の時間変化率（出力）が小さくなってきている。

【0004】その場合でも、大きな出力が取り出せる新しいタイプの読み出し用磁気ヘッドとして、巨大磁気抵抗効果ヘッド（GMRヘッド）の開発が進められている。GMRヘッドは、従来のMRヘッドよりも、磁気抵抗比（MR比）が大きいという優れた特性を持っている。

【0005】このようなGMRヘッドとしては、例えば、図26に示すように、ベース層が磁性積層膜で構成され、ベース層への電子の注入がトンネル接合を介して行なわれるトンネル注入型のホットエレクトロン・トランジスタを用いたものが急速に注目を集めている。

【0006】また、さらに桁違いに大きい（数100%）のMR比を示すGMRヘッドとしては、例えば、図27に示すように、ベースが磁性積層膜で構成され、ベース層への電子の注入がショットキー接合を介して行なわれるショットキー注入型のホットエレクトロン・トランジスタを用いたものも報告されている。

【0007】GMRヘッド等の磁気ヘッドにより磁気記録媒体から読み出された情報は、コンピュータ内の半導体メモリ（例えばDRAM、SRAM）に読み込まれた後に利用される。

【0008】半導体メモリは多くの優れた特性を持っているが、情報保持のために大量の電力を消費するという大きな欠点も持っている。近年、情報保持のための電力が不要な半導体メモリとして、フラッシュメモリやFRAMなどの開発が進められているが、いずれも書き換え回数が限定されるという大きな欠点を持っている。

【0009】一方、実質的に書き換えが無限回可能な磁気メモリ（MRAM）の開発も始められている。その実現のためには大きなMR比を示す材料や素子の開発が必要である。

【0010】スピナバルク膜（積層数が2の磁性積層膜）よりも大きなMR比を示す素子としては、磁性体トンネル接合素子や、上述したベース層が磁性積層膜で構成されたホットエレクトロン・トランジスタが注目されている。

【0011】また、近年、磁性体トンネル接合素子またはホットエレクトロン・トランジスタを単独で用いて磁

気ヘッドや磁気メモリを形成する他に、それらとMOS型トランジスタとを組み合わせて磁気ヘッドや磁気メモリを形成する試みが始まられている。その理由は、磁性体トンネル接合素子やホットエレクトロン・トランジスタなどの大きなMR比を示す素子（GMR素子）は電力利得を持たないからである。

【0012】しかしながら、GMR素子とMOS型トランジスタとを組み合わせて構成した磁気ヘッドや磁気メモリには以下のような問題がある。この問題を磁気メモリを例にあげて具体的に説明する。

【0013】図28に、従来の磁性体トンネル接合素子とMOSトランジスタとからなる磁気メモリセルを示す。この磁気メモリセルは、通常のDRAMセルのキャバシタを磁性体トンネル接合素子で置き換えた構成になっている。

【0014】図中、81は磁性体トンネル接合素子、82はMOSトランジスタ、83は比較抵抗、B1はビット線、WLはワード線、C1はビット線による浮遊容量を示している。また、ワード線WLは図示しない定電圧源に接続されている。この定電圧源のレベルは、MOSトランジスタ82のしきい値電圧よりも高い値が選ばれている。

【0015】情報(1, 0)の書き込みは、図示しない磁化手段により、磁性体トンネル接合素子81の磁化を平行または反平行にすることにより行なう。

【0016】また、情報の読み出しは、磁性体トンネル接合素子81の磁気抵抗が磁化が平行か反平行によって変わることを利用する。磁化が反平行のときのほうが磁気抵抗は高くなる。比較抵抗83の値には磁化が反平行のときの磁気抵抗の値が選ばれている。

【0017】したがって、磁化が反平行の場合には磁気抵抗は大きく、センサアンプで検出される比較抵抗83による電圧降下は大きいものとなる。逆に磁化が平行の場合には磁気抵抗は小さく、センサアンプで検出される比較抵抗83による電圧降下は小さいものとなる。このようにしてセンサアンプで検出される比較抵抗83による電圧降下の大小で情報の読み出しを行なうことが可能となる。

【0018】ところで、ビット線BLによる浮遊容量C1は300fF程度である。このため、CR時定数を小さくして、nsec以下程度の時間で読み出しを行なうためには、比較抵抗83の値は約3kΩ以下でなければならない。

【0019】この抵抗値は、磁性体トンネル接合素子81のトンネル接合の大きさを $1\mu m \times 1\mu m$ とすると、単位面積当たり $30\mu\Omega\text{cm}^2$ に相当し、極めて小さい値である。

【0020】ここで、トンネル絶縁膜を薄くすることにより、単位面積当たり $30\mu\Omega\text{cm}^2$ のトンネル接合を形成することは可能であるが、以下の問題がある。

【0021】センサアンプによる読み出しには数100mVの電圧変化が必要なので、トンネル接合は数100mVの耐圧を持たなければならない。

【0022】しかし、単位面積当たり $30\mu\Omega\text{cm}^2$ のトンネル接合は、トンネル絶縁膜が薄いので、絶縁破壊が発生し易く、数100mVの耐圧を持たせることは困難である。

【0023】したがって、従来の磁気メモリは、読み出し速度を速くすることが困難であるという問題があった。このような問題は接合サイズがサブミクロンになるとさらに顕著になる。なお、ワード線による浮遊容量(～300fF)もは存在するが、ワード線には比較抵抗83のような大きな抵抗が接続されていないので問題はない。

【0024】ところで、従来の磁性体トンネル接合素子は、数10mV以下の低電圧領域では30%を越える大きなMR比を示すが、数100mV以上の実用電圧領域ではトンネル電子のスピンドリップ現象によって、MR比が数%以下に低下してしまうという問題を抱えていた。

【0025】

【発明が解決しようとする課題】上述の如く、磁性体トンネル接合素子とMOSトランジスタとからなる従来の磁気メモリセルを用いた磁気メモリでは、ビット線に接続された比較抵抗の値として、磁化が反平行のときの磁性体トンネル接合素子の抵抗値が選ばれていた。

【0026】読み出し速度を速くするためには、比較抵抗の値を小さくしてCR時定数を小さくする必要がある。そのためには、磁性体トンネル接合素子のトンネル絶縁膜を薄くする必要がある。

【0027】しかしながら、トンネル絶縁膜を薄くすると、絶縁破壊が発生し易くなり、センサアンプによる読み出しに必要な電圧変化に耐えることができなくなる。このため、従来の磁気メモリは、読み出し速度を速くすることが困難であるという問題があった。

【0028】また、従来の磁性体トンネル接合素子は、数100mV以上の実用電圧領域ではトンネル電子のスピンドリップ現象によって、十分なMR比が得られないという問題があった。

【0029】本発明は、上記事情を考慮してなされたもので、その目的とするところは、読み出し速度の速い、GMR素子を用いた磁気装置を提供することにある。

【0030】また、本発明の他の目的は、実用電圧領域における電子のスピンドリップ現象に起因する特性劣化を抑制できる磁性体素子を提供することにある。

【0031】

【課題を解決するための手段】【構成】上記目的を達成するために、本発明に係る磁気装置（磁気ヘッド）は、MOSトランジスタと、このMOSトランジスタのゲートに接続され、磁気ヘッド本体としてのGMR素子とを

備えたことを特徴とする（請求項1）。

【0032】また、本発明に係る他の磁気装置（磁気メモリ）は、MOSトランジスタと、このMOSトランジスタのゲートに接続され、メモリセル本体としてのGMR素子とからなるメモリセルがマトリクス状に配列形成されていることを特徴とする（請求項2）ここで、上記磁気メモリに、GMR素子の磁化の方向を制御する磁化制御手段を追加することにより、RAMを実現することができる（請求項3）。

【0033】ここで、MOSトランジスタのゲートはGMR素子を介して定電圧源に接続され、かつ第1の抵抗を介して接地され、前記MOSトランジスタのソースは第2の抵抗に直列に接続され、MOSトランジスタのドレインは接地されていることが好ましい（請求項4）。

【0034】また、GMR素子は、磁性トンネル接合素子であるか、またはベース層が磁性積層膜で形成されたホットエレクトロン・トランジスタであることが好ましい（請求項5）。

【0035】この場合、磁性トンネル接合素子の電極は、磁性膜、または磁性膜と絶縁膜との積層膜で形成されていることが好ましい（請求項6）。ここで、磁性膜は膜厚が5nm以下の磁性体超薄膜であることが好ましい。

【0036】また、ホットエレクトロン・トランジスタのエミッタ層は、Nbがドープされたチタン酸ストロンチウム膜で形成されていることが好ましい（請求項7）。

【0037】また、本発明（請求項8）に係る磁性体素子は、磁性体超薄膜を含む磁性体電極と、この磁性体電極から、電子に対してのポテンシャル障壁を介して、スピニ偏極した電子電流が注入される半導体領域または常磁性金属領域からなる被注入領域とを備えていることを特徴とする。

【0038】ここで、磁性体超薄膜の膜厚は、0.5nm以上5nm以下（請求項9）が好ましく、0.6nm以上2nm以下がより好ましい。

【0039】また、被注入領域が半導体領域の場合は、ポテンシャル障壁として、トンネル接合、ショットキー接合またはMIS接合を用いると良い。（請求項10）また、被注入領域が常磁性金属領域の場合には、ポテンシャル障壁として、トンネル接合を用いると良い。（請求項11）また、磁性体電極としては、磁性体超薄膜と、電子に対してのバリア膜との積層膜からなるものを用いても良い（請求項12）。バリア膜としては、バリアとして働くものであればその膜種には制限はなく、例えば絶縁膜、半導体膜、半金属膜、異種金属膜を用いることができる。

【0040】【作用】本発明（請求項1～7）によれば、遅延時間の原因となるCR時定数は、GMR素子の抵抗とゲート容量とにより決定される。このゲート容量

はビット線などの配線容量に比べて十分に小さい。

【0041】したがって、本発明（請求項1～7）によれば、遅延時間の原因となるCR時定数が従来のそれよりも十分に小さくなるので、読み出し速度の速い磁気装置を実現できるようになる。

【0042】また、本発明者の研究によれば、磁性体超薄膜（膜厚：0.5～5nm）には以下のような特徴があることが分かった。すなわち、磁性体超薄膜を用いてトンネル結合やショットキー結合やMIS接合などの電子に対してのポテンシャル障壁を形成すると、磁性体超薄膜中のs電子は離散的なエネルギー準位に量子化される。このとき、そのエネルギー準位はアップスピン電子とダウンドスピニ電子で異なり、しかもそのエネルギー差は1eV程度という極めて大きい値にできることが分かった。

【0043】このため、磁性体超薄膜に電圧を印加し、この磁性体超薄膜から、ポテンシャル障壁を介して、半導体領域または常磁性体領域の被注入領域に電子を注入する場合には、磁性体超薄膜に数mV以上の実用電圧領域の電圧を印加しても、電子のスピンが揃った電子群、つまりスピニ偏極した電子電流を被注入領域に注入することができる。

【0044】したがって、このような知見に基づいた本発明（請求項8～12）によれば、実用電圧領域における電子のスピニリップ現象に起因する特性劣化を抑制できる磁性体素子を実現できるようになる。

【0045】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0046】（第1の実施形態）図1に、本発明の第1の実施形態に係る磁性体トンネル接合素子とMOSトランジスタとからなる磁気メモリセルを示す。

【0047】図中、1は磁性体トンネル接合素子、2はMOSトランジスタ、3は比較抵抗、4はゲート電圧発生用の抵抗（ゲート抵抗）を示している。また、BLはビット線、WLはワード線、C1はビット線による浮遊容量、C2はMOSトランジスタ2の入力キャパシタンスを示している。

【0048】ワード線WLは図示しない定電圧源に接続され、この定電圧源のレベルは、MOSトランジスタ2のしきい値電圧よりも高い値が選ばれている。また、ゲート抵抗4の値には磁性体トンネル接合素子1の磁化が平行のときの磁気抵抗の値が選ばれている。磁性体トンネル接合素子1の磁化は図示しない磁化手段（例えば配線に電流を流して磁場を発生させるもの）により行なわれる。

【0049】本実施形態の磁気メモリセルが、図16に示した従来の磁気メモリセルと主として異なる点は、磁性体トンネル接合素子1の一端がMOSトランジスタ2のゲートに接続され、他端がワード線WLに接続されて

いることにある。

【0050】MOSトランジスタ2の入力キャバシタンスC2は1fF程度なので、磁化が平行のときの磁性体トンネル接合素子1の磁気抵抗が1MΩ程度であっても、入力キャバシタンスC2と磁性体トンネル接合素子1との時定数で決まる情報の読み出しの遅延時間はnsec程度となる。

【0051】一方、比較抵抗3は、従来の比較抵抗83のように磁性体トンネル接合素子81と接続していないので、MOSトランジスタ2のオン抵抗より大きければ任意に小さくできる。このため、浮遊容量C1の値が300fFであっても、浮遊容量C1と比較抵抗3との時定数で決まる情報の読み出しの遅延時間はnsec程度となる。

【0052】かくして本実施形態によれば、情報の読み出しの遅延時間をnsec程度に抑制できるので、高速な情報の読み出しが可能なGMR素子を用いた磁気メモリセルを実現できるようになる。また、このような磁気メモリセルをマトリクス状に配列形成することにより、nsec程度の時間で情報を読み出せる高速の磁気メモリ装置(RAM)を実現できるようになる。なお、ROMの場合には磁化手段は不要である。

【0053】ところで、現在報告されている磁性体トンネル接合素子のMR比は室温で20%程度であるが、MOSトランジスタのしきい値電圧や利得にはばらつきが存在するので、メモリセルの情報内容を正しく判別するためには、MR比の大きいGMR素子を用いることが望ましい。

【0054】MR比が大きなGMR素子として、近年、

$$E = \frac{\hbar^2}{2m} (k_x^2 + k_y^2) + E_{zn}$$

$$E_{zn} = \frac{\hbar^2}{2m} \left(\frac{n\pi}{l} \right)^2$$

(1)

【0060】となり、状態密度は図3に示すように階段状になる。なお、式(1)において、lは膜厚をしめし

$$J_\theta \propto \exp[-\beta^2 \sin^2 \theta],$$

$$\text{ただし } \beta^2 = 2ms^2E_F^2 / \hbar^2(E_x - E), \quad (2)$$

【0061】を考慮すると、絶縁膜をトンネルする電子の波数ベクトルは図4に示すようにトンネル接合面にほぼ垂直($\theta_c \sim 10^\circ$)であり、図3の状態のうち斜線を施した部分の電子のみがトンネル電流に寄与することが分かる。なお、式(2)において、sはトンネル障壁の厚さを示している。

【0062】ここで、斜線を施した部分のエネルギー幅は約100meVであり、l=4nmの場合、フェルミエネルギーEFを5eV程度とすると、フェルミエネルギーEF近くでの斜線を施した部分のエネルギー間隔は

LaSrMnO₃などの酸化物磁性体からなる磁性体電極を用いた磁性体トンネル接合素子が注目されている。これらの酸化物磁性体中では伝導電子がほぼ100%スピニ分極しているため大きなMR比が得られる。

【0055】しかし、この種の磁性体トンネル接合素子は、低温でしか動作しないこと、磁化反転のために大きな磁場が必要であることなどの理由のために実用化が懸念されている。

【0056】このような状況のなか発明者等の研究によれば、磁性体電極として、数nm以下の磁性体超薄膜、または磁性体超薄膜と絶縁膜との積層膜を用いることによって、MR比が増大することを見出した。以下にその原理について述べる。

【0057】Fe、Co、Niなどの強磁性金属中では、図2に示すように、局在性の強いdバンドと自由電子に近いsバンドの電子が共存している。図2から分かるように、dバンドの電子は100%に近いスピニ分極をしているが、sバンドの電子の分極率は低い。

【0058】これから、強磁性金属からなる磁性体電極を用いた磁性体トンネル接合素子のMR比が20%程度と小さい理由は、分極率の小さいs電子のトンネル電流への寄与が大きいためと考えられている。したがって、何らかの方法でs電子のトンネル電流への寄与を減少させることにより、MR比を増大させることができると考えられる。

【0059】ところで、厚さ数nmの超薄膜中では、よく知られているように、膜厚方向(z方向)の電子の運動が量子化され、そのエネルギーは、

【数1】

ている。一方、トンネル電流の角度依存性

【数2】

約1.0eVと大きい。すなわち、磁性体超薄膜中のs電子はトンネル接合においてあたかも絶縁膜中の電子のように振る舞い、トンネル電流には寄与しない。

【0063】なお、ここでは、磁性体超薄膜の膜厚を4nmとしたが、一般には5nm以下とすれば、トンネル電流を少なくできる。要はフェルミエネルギーEF近くでの斜線を施した部分のエネルギー間隔が大きくなり、s電子がトンネル電流に寄与しなくなる薄い厚さを選べば良い。

【0064】しかしながら、磁性体超薄膜のみを電極に

用いるとシート抵抗が増大してしまうので、図5に示すように、磁性体電極を磁性体超薄膜8と十分な厚さをもった導電性のバックアップ膜6とで構成することが好ましい。

【0065】その際、磁性体超薄膜8の2次元性(2D EG)を損なわないためには、磁性体超薄膜8とバックアップ膜6との間に絶縁物からなるバリア膜7を設けることが必要になるが、そのバリア膜7の厚さはトンネル絶縁膜のそれよりも十分に薄くなければならない。なお、図中、5はSi基板を示している。

【0066】また、これまでの説明から分かるように、磁性体超薄膜を一層だけでなく、図6に示すように、磁性体超薄膜8の積層膜を用いることも可能である。その場合にもバリア膜7の厚さはトンネル絶縁膜のそれよりも十分薄いことが必要である。

【0067】磁性体トンネル接合素子1としては、例えば図7に示すように、Co/A₁O_x/Coトンネル接合を有するものがあげられる。

【0068】これを製造工程に従って説明すると、まず、Si(100)基板10の表面に厚さ5nmのSiO₂膜11を熱酸化法により形成する。

【0069】次にSiO₂膜11上に下部電極としての厚さ50nm、幅0.2mmのCo膜12を真空蒸着法により形成する。ここで、真空蒸着の際の真密度、基板温度はそれぞれ 1×10^{-8} torr、77Kに設定する。さらに、5000eの外部磁場を印加し、磁気容易軸が一方向に揃うようにする。

【0070】次にCo膜12上に厚さ1.2nmのAl膜を真空蒸着法により形成した後、基板温度を室温に戻し、続いて酸素雰囲気中でのグロー放電により上記Al膜を酸化し、Al_xOからなるトンネル絶縁膜13を形成する。真空蒸着の際の真密度、基板温度は前と同じである。

【0071】次に再び基板温度を77Kに設定し、トンネル絶縁膜13上に上部電極としての厚さ4nm、幅0.2nmのCo超薄膜14を真空蒸着法により形成する。真空蒸着の際の真密度は前と同じである。

【0072】次に基板温度を室温に戻した後、Co超薄膜14の表面を 1×10^{-3} torrの酸素雰囲気中に1分間曝すことにより、Co超薄膜14の表面にバリア膜15を形成する。

【0073】最後に、バリア膜15上にAuからなる厚さ50nmのバックアップ膜16を形成する。

【0074】このようにして作成された磁性体トンネル接合素子の磁気抵抗効果を測定してみた。この測定は、交流ブリッジを用い、トンネル接合面内に外部磁場を印加して行なった。

【0075】図8に、その測定結果を示す。磁化曲線を反映した磁気抵抗特性が見られ、MR比は約26%である。また、飽和磁場の下での接合抵抗の絶対値は約20

Ωであった。

【0076】図9に、他のCo/A₁O_x/Coトンネル接合からなる磁性体トンネル接合素子の断面図を示す。なお、図7の磁性体トンネル接合素子と対応する部分には図7と同一符号を付してあり、詳細な説明は省略する。

【0077】図7の磁性体トンネル接合素子と異なる点は、上部電極だけではなく、下部電極にもCo超薄膜14を用い、さらに下部電極側にもバックアップ膜17およびバリア膜18を形成したことにある。バックアップ膜17としては、厚さ50nmのCu膜を用いている。このようにして下部電極側にもトンネル接合が形成される。

【0078】バックアップ膜17であるCu膜は基板温度を77Kにして真空蒸着法により形成し、バリア膜18はバックアップ膜17の形成後に基板温度を室温に戻して、バックアップ膜17を 1×10^{-3} torrの酸素雰囲気中に1分間曝すことにより形成する。その他の膜の形成方法は図7の素子の場合と同じである。

【0079】図7の磁性体トンネル接合素子の場合と同様な方法で本素子の磁気抵抗効果を測定したところ、飽和磁場下の接合抵抗は22Ωであったが、MR比は35%に増大していた。

【0080】また、比較例として、図7の磁性体トンネル接合素子において、上部電極である厚さ4nmのCo超薄膜を厚さ50nmのCo膜に置き換えた磁性体トンネル接合素子を形成した。その形成は図7の磁性体トンネル接合素子のそれに準じる。

【0081】図7の磁性体トンネル接合素子と同様な方法で本素子の磁気抵抗効果を測定したところ、飽和磁場下の接合抵抗は18Ωであったが、MR比は15%であり、図7、図8の素子のMR比よりも小さかった。

【0082】(第2の実施形態)図10に、本発明の第2の実施形態に係る磁気メモリセルを示す。なお、図1の磁気メモリセルと対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0083】本実施形態は、GMR素子としては、ホットエレクトロン・トランジスタを用いた例である。ホットエレクトロン・トランジスタは、磁性体トンネル接合素子よりも大きなMR比を示すGMR素子である。ホットエレクトロン・トランジスタのMR比は200%を越える。したがって、メモリセルの情報を正しく読み出すことがより容易になり、読み取りエラーを少なくできる。

【0084】しかし、ホットエレクトロン・トランジスタの電流利得は小さく、ベース接地の場合、コレクタ電流がエミッタ電流より1桁以上減少してしまう。

【0085】このため、ns程度の高速動作をさせるためには、磁性体トンネル接合素子の場合と同様に、図10に示すように、ホットエレクトロン・トランジスタ9(コレクタ)はMOSトランジスタ2のゲートに接続

することが好ましい。

【0086】ところで、ベース接地での電流利得は高々0.1程度と推定されるので、高速動作のためにはエミッタ電流を大きくすること好ましい。

【0087】大きなエミッタ電流を流すには、図26のトンネル注入型のホットエレクトロン・トランジスタよりも、図27のショットキー注入型のホットエレクトロン・トランジスタのほうが好ましい。

【0088】図26のホットエレクトロン・トランジスタを形成する場合、MOS型トランジスタと同一基板上に形成するので、コレクタ層の材料にはSiを用いることになる。コレクタ層としてはSi層で良いが、エミッタ層としては以下の条件を満足する半導体層であることが好ましい。すなわち、バンドギャップが広く、かつ成膜温度が低い半導体層が好ましい。

【0089】成膜温度が低いことが好ましい理由は、エミッタ層はベース層の後に形成するため、成膜温度が高いと、ベース層である磁性積層膜の特性が劣化する恐れがあるからである。

【0090】また、バンドギャップが広いことが好ましい理由は、エネルギーの高い電子を用いることにより、ベース/コレクタ界面の量子力学的反射を低減できるからである。

【0091】このような2つの条件を満たす半導体層としては、Nbがドープされたn型のチタン酸ストロンチウム(STO)層(Nbドープn型STO層)が最も適している。

【0092】図11に、エミッタ層としてNbドープn型STO層を用いた場合のエミッタ電流(I_E)のコレクタ・ベース間電圧(V_{EB})の依存性を示す。

【0093】図から、0.9V程度の電圧をコレクタ・ベース間に印加することにより、10³A/cm²程度のエミッタ電流が流れることが分かる。この場合、電流利得が0.1であるとすると読み出し時間は0.1nsとなり、また、電流利得が0.01であっても読み出し時間1nsとなる。

【0094】(第3の実施形態)図12に、本発明の第3の実施形態に係る磁気ヘッドを示す。なお、図1の磁気メモリセルと対応する部分には図1と同一符号を付してあり、詳細な説明は省略する。

【0095】本実施形態の磁気ヘッドは、図1の磁気メモリセルからビット線BL、ワード線WL、磁化手段を取り除いた構成になっている。

【0096】磁性体トンネル接合素子1の磁気抵抗は、磁気記録媒体上を走査する際に変化し、これに対応した電圧変化をセンサアンプで検出することにより、磁気記録媒体に書き込まれた情報を読み出すことができる。

【0097】本実施形態の磁気ヘッドも、第1の実施形態の磁気メモリの場合と同様の理由により、高速な読み出しが可能となる。

【0098】(第4の実施形態)図13に、本発明の第4の実施形態に係る磁気ヘッドを示す。なお、図10の磁気メモリセルと対応する部分には図10と同一符号を付してあり、詳細な説明は省略する。

【0099】本実施形態の磁気ヘッドは、図10の磁気メモリセルからビット線BL、ワード線WL、磁化手段を取り除いた構成になっている。

【0100】ホットエレクトロン・トランジスタ9の磁気抵抗は、磁気記録媒体上を走査する際に変化し、これに対応した電圧変化をセンサアンプで検出することにより、磁気記録媒体に書き込まれた情報を読み出すことができる。

【0101】本実施形態の磁気ヘッドも、第2の実施形態の磁気メモリの場合と同様の理由により、高速な読み出しが可能となる。また、磁性体トンネル接合素子よりも大きなMR比が得られるので、読み取りエラーを少なくできる。

【0102】(第5の実施形態)ところで、本発明者の研究によれば、磁性体電極として、数nm以下の磁性体超薄膜、または磁性体超薄膜と異種金属膜等のバリア膜との積層膜を用いることによって、MR比が増大することを見出した。

【0103】先に説明したように、Fe、Co、Niなどの強磁性金属中では、局在性の強いdバンドと自由電子に近いsバンドの電子が共存しているが、トンネル電流は主としてs電子によって担われている。

【0104】磁性体トンネル接合のMR比が実用電圧領域で著しく低下する原因是、電子のスピンが反転すること、つまり電子のスピンフリップ現象によるものと考えられる。したがって、実用電圧領域で大きなMR比を示すトンネル接合を得るためにには、何らかの方法でこのスピンフリップ現象を抑制することが必要である。

【0105】ここで、図3に示したように、磁性体超薄膜中のs電子はトンネル接合において離散的なエネルギー準位に量子化されるが、本発明者は、そのエネルギー準位がアップスピン電子とダウンドラインスピン電子とで異なっていることを今回初めて見出した。

【0106】例えば、磁性体超薄膜として厚さ1nmのFe超薄膜を用いた場合、アップスピン電子とダウンドラインスピン電子とのエネルギー準位の差は1eV程度という極めて大きな値となる。

【0107】このように磁性体超薄膜からなる電極を用いた磁性体トンネル接合では、トンネル電子がスピン反転するためには、1eV程度のエネルギーが関与した非弾性散乱を受けなければならないため、スピンフリップ現象の起こる確率は著しく低くなる。

【0108】このようなスピンフリップ現象の発生確率の低減化により、実用電圧領域で10%を越える大きなMR比を示す磁性体トンネル接合素子を実現することが可能となる。

【0109】なお、磁性体超薄膜のみを電極に用いるとシート抵抗が増大してしまうので、図5に示したように、磁性体電極を磁性体超薄膜8と十分な厚さをもった導電性のバックアップ膜6とで構成することが好ましい。

【0110】この場合も、先に説明したように、磁性体超薄膜8の2次元性(2DEG)を損なわないために、薄いバリア膜7を設けると良い。また、図6に示したように、磁性体超薄膜8の積層膜を用いることも可能であり、その場合にも薄いバリア膜7を設けると良い。

【0111】以下、本実施形態のGMR素子(トンネル注入型のホットエレクトロン・トランジスタ)について具体的に説明する。

【0112】本GMR素子は、図14に示すように、n型Siからなるコレクタ21(半導体領域)と、Au膜(膜厚:1.5nm)/Fe膜(膜厚:1.5nm)/Al膜(膜厚:10nm)の積層膜からなるベース22と、Al₂O₃膜(トンネル絶縁膜)/Fe膜の積層膜からなるエミッタ23(磁性体電極)と、Au膜(膜厚:100nm)からなるバックアップ膜(不図示)が順次接合した構成になっている。

【0113】このGMR素子のMR比を調べたところ、その大きさはエミッタ23のFe膜の膜厚に大きく依存することが分かった。本発明者は、エミッタ23のFe膜の膜厚dが異なる3種類のGMR素子(d=0.8nm、1nm、2nm)を作成し、そのMR比のエミッタ電圧依存性を調べた。

【0114】図15にその結果を示す。測定は温度77Kの環境で行った。また、図14に示すように、エミッタ23にはコレクタ21に対して負のエミッタ電圧を印加した。図15から、同じエミッタ電圧でも、エミッタ23のFe膜の膜厚dが薄いほどMR比は大きいことが分かる。

【0115】また、本発明者は、MR比のエミッタ23のFe膜の膜厚依存性を調べた。図16にその結果を示す。なお、エミッタ電圧は1Vである。また、図には、これまでに報告されているベース中の伝導パラメータを利用してMR比から求めたスピンドル極度も示してある。

【0116】図16から、エミッタ(Fe)膜厚が5nmでもMR比は得られるが、2nmを下ると、MR比は急激に増加し、例えば0.8nmでは2倍(100%)を越え、そして0.6nmでMR比が急激に低下し、0.5nmを下るとMR比が得られなくなる。

【0117】また、図から、3nmを越えるとスピンドル極度は0.05(5%)未満になり、一方、2nmを下るとスピンドル極度は急激に増加し、例えば0.8nmでは0.4(40%)を越えることが分かる。

【0118】0.8nmにおける結果は、これまでに報告されている数mVの低電圧領域で測定されたトンネル電子のスピンドル極度にほぼ等しい。すなわち、エミッタ

23のFe膜の膜厚を1nm以下にすると、1V程度の高い電圧を印加しても電子はほとんどスピンドルリップせずにトンネルリングするため、スピンドル極度した電子電流を流すことができる。

【0119】以上の結果から、エミッタ(Fe)膜厚は、0.5nm以上5nm以下が好ましく、0.6nm以上2nm以下がより好ましいかくして本実施形態によれば、エミッタ23のFe膜を薄膜化することによって、1V程度の高い電圧、つまり実用電圧領域の電圧をエミッタ23に印加しても、十分に大きなMR比を示すGMR素子を実現できるようになる。

【0120】(第6の実施形態)図17は、本発明の第6の実施形態に係る磁性体トンネル接合素子を示す断面図である。

【0121】これを製造工程に従って説明すると、まず、Si(100)基板31(半導体領域)上に厚さ5nmのSiO₂膜32を形成する。次に基板温度を77Kに設定し、SiO₂膜32上にCuからなるバックアップ膜33を形成する。この後、室温に戻して1×110⁻⁶Torrの酸素雰囲気中での1分間の酸化により、バックアップ膜33の表面にバリア膜34を形成する。

【0122】次にバリア膜34上に下部電極としての厚さ0.8nmのCo超薄膜35を真空蒸着により形成する。このとき、500eVの外部磁場を印加し、磁気容易軸が一方に向うようにする。また、真空蒸着の際の真空中度、基板温度はそれぞれ1×10⁻⁸Torr、77Kである。

【0123】次にCu超薄膜35上に厚さ1.2nmのAl膜(不図示)を形成した後、基板温度を室温に戻し、続いて酸素雰囲気中でのグロー放電により上記Al膜を酸化し、Al₂O₃からなるトンネル絶縁膜36を形成する。真空蒸着の際の真空中度、基板温度は前と同じである。

【0124】次に再び基板温度を77Kに設定し、トンネル絶縁膜36上に上部電極としての厚さ1nmのCo超薄膜37を真空蒸着法により形成する。真空蒸着の際の真空中度、基板温度は前と同じである。

【0125】次に基板温度を室温に戻した後、Co超薄膜37の表面を1×10⁻⁶Torrの酸素雰囲気中に1分間曝すことにより、Co超薄膜37の表面にバリア膜38を形成する。

【0126】最後に、バリア膜38上にAuからなる厚さ50nmのバックアップ膜39を形成する。

【0127】このようにして作成された磁性体トンネル接合素子の磁気抵抗効果を測定してみた。この測定は、交流ブリッジを用い、トンネル接合面内に外部磁場を印加して行なった。

【0128】その結果、磁化曲線を反映した磁気抵抗特性が見られ、MR比は約30%である。また、飽和磁場の下での接合抵抗の絶対値は約20Ωであった。

【0129】また、比較例として、本実施形態の磁性体トンネル接合素子の上部電極および下部電極35、37を厚さ50nmのCo膜に置き換えたものを形成した。その形成は本実施形態のそれに準じる。

【0130】同様な方法で比較例の磁気抵抗効果を評価したところ、飽和磁場下の接合抵抗は18Ωであったが、MR比は5%であり、本実施形態の磁性体トンネル接合素子のMR比よりもはるかに小さかった。

【0131】(第7の実施形態) 図18は、本発明の第7の実施形態に係る磁性体素子を示す断面図である。

【0132】図中、41は半導体基板(半導体領域)を示しており、この半導体基板41の一端側には磁性体超薄膜からなる第1の磁性体電極42が設けられ、他端側には磁性体超薄膜からなる第2の磁性体電極43が設けられている。半導体基板としては、例えばSi基板、磁性体超薄膜としては、例えばFe超薄膜を用いる。

【0133】半導体基板41と第1の磁性体電極42はショットキー接合を形成し、同様に半導体基板41と第2の磁性体電極43もショットキー接合を形成する。また、第1および第2の磁性体電極42、43の膜厚は、0.5nm以上(好ましくは0.6以上)5nm以下(好ましくは2nm以下)である。

【0134】このように構成された磁性体素子によれば、第1の磁性体電極42に第2の磁性体電極43に対して負の電圧を印加すると、スピンドリップ現象を招かず、第1の磁性体電極42からショットキー接合を介して半導体基板41に電子を注入できる。

【0135】したがって、本実施形態によれば、第1の磁性体電極42から第2の磁性体電極43に向かってスピンドリップした電子電流Ieを半導体基板41内に流すことができるようになる。

【0136】図19に、本実施形態の変形例を示す。これは上下方向に電子電流Ieを流す場合の構造を示している。また、本実施形態では、磁性体電極42、43として磁性体超薄膜の単層膜を用いたが、例えば磁性体超薄膜と電子に対してのバリア膜との積層膜を用いても良い。バリア膜としては、バリアとして働くものであればその膜種には制限はなく、例えば絶縁膜、半導体膜、半金属膜、異種金属膜を用いることができる。

【0137】(第8の実施形態) 図20は、本発明の第8の実施形態に係る磁性体素子を示す断面図である。なお、図18の磁性体素子と対応する部分には図18と同一符号を付してあり、詳細な説明は省略する(以下の他の実施形態についても同様)。

【0138】本実施形態は、第1の磁性体電極(ソース電極)42と第2の磁性体電極(ドレイン電極)43との間の半導体基板41の表面にゲート電極44を設け、FETを構成したことがある。半導体基板41とゲート電極44とはショットキー接合を形成する。

【0139】本実施形態によれば、スピンドリップした電子

電流Ieをゲート電圧で制御することができるので、アップスピン電子とダウンスピン電子が混在した電子電流を制御する場合に比べて、相互コンダクタンスgmの大きなFETを実現できるようになる。

【0140】なお、半導体基板41上にゲート絶縁膜を形成し、その上に第1の磁性体電極(ソース電極)42、第2の磁性体電極(ドレイン電極)43、ゲート電極44を形成しても良い。

【0141】(第9の実施形態) 図21は、本発明の第9の実施形態に係る磁性体素子を示す断面図である。

【0142】本実施形態は本発明をLEDに適用した例であり、第1の磁性体電極42からアンドープの半導体基板41にスピンドリップした電子電流Ieを注入し、第2の磁性体電極43から半導体基板41にスピンドリップした正孔電流Ihを注入する。これにより、電子と正孔との再結合が起こり、発光が生じる。

【0143】本実施形態によれば、スピンドリップした電子電流Ieと正孔電流Ihとで再結合を起こすことができるので、アップスピン電子とダウンスピン電子が混在した電子電流と正孔電流とで再結合を起こす場合に比べて、発光に必要な電圧が低くて済む。

【0144】なお、図中、45をアンドープの半導体層を示している。この半導体層45の印加電圧で再結合速度を制御することができる。

【0145】(第10の実施形態) 図22は、本発明の第10の実施形態に係る磁性体素子を示す断面図である。本実施形態も本発明をLEDに適用した例である。

【0146】本実施形態が第9の実施形態と異なる点は、不純物ドープ半導体を用いてLEDを構成したことにある。第1の磁性体電極42はp型半導体層45pを介してn型半導体基板41に接合している。また、アンドープの半導体層45の代わりに、p型半導体層45pを用いている。本実施形態でも第9の実施形態と同様な効果が得られる。

【0147】(第11の実施形態) 図23は、本発明の第11の実施形態に係る磁性体素子を示す断面図である。本実施形態は本発明をレーザに適用した例である。図中、46pはp型半導体層(半導体領域)、46iはi型半導体層(半導体領域)、46nはn型半導体層(半導体領域)を示している。

【0148】本実施形態によれば、スピンドリップした電子電流Ieと正孔電流Ipとで反転分布を形成することができるので、アップスピン電子とダウンスピン電子が混在した電子電流と正孔電流とで反転分布を形成する場合に比べて、レーザ発振に必要な電圧(しきい値電圧)が低くなる。

【0149】(第12の実施形態) 図24は、本発明の第12の実施形態に係る磁性体素子を示す断面図である。本実施形態は本発明をスピントランジスタに適用した例である。図中、47はトンネル絶縁膜、48は常

磁性体層（磁性体領域）を示している。常磁性体層48は接地されている。

【0150】本実施形態によれば、第1の磁性体電極42からスピン偏極した電子電流I_eを常磁性体層48に注入できるので、アップスピン電子とダウンスピン電子が混在した電子電流を注入する場合に比べて、第2の磁性体電極43と常磁性体層48との間により大きな電圧差を発生させることができる。

【0151】（第13の実施形態）図25は、本発明の第13の実施形態に係る磁性体素子を示す断面図である。本実施形態は本発明をホットエレクトロン・トランジスタに適用した例である。図中、49は強磁性体層、50は半導体層（半導体領域）を示している。

【0152】本実施形態によれば、第1の磁性体電極42からスピン偏極した電子電流I_eをトンネル絶縁膜47を介して半導体層50に注入できるので、アップスピン電子とダウンスピン電子が混在した電子電流を注入する場合に比べて、より大きなMR比が得られる。

【0153】

【発明の効果】以上詳述したように本発明（請求項1～7）によれば、遅延時間の原因となるCR時定数を小さくできるので、読み出し速度の速い磁気装置を実現できるようになる。

【0154】また、本発明（請求項8～12）によれば、磁性体電極として磁性体超薄膜を用いることにより、実用電圧領域における電子のスピンフリップ現象に起因する特性劣化を抑制できる磁性体素子を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る磁性体トンネル接合素子とMOSトランジスタとからなる磁気メモリセルを示す図

【図2】磁性体の状態密度のスピン依存性を示す図

【図3】超薄膜の状態密度を示す図

【図4】絶縁膜をトンネルする電子の波数ベクトルを示す図

【図5】磁性体電極を示す断面図

【図6】他の磁性体電極を示す断面図

【図7】磁性体トンネル接合素子を示す断面図

【図8】図7の磁性体トンネル接合素子の磁気抵抗効果の測定結果を示す図

【図9】他の磁性体トンネル接合素子を示す断面図

【図10】本発明の第2の実施形態に係る磁気メモリセルを示す図

【図11】エミッタ層としてNbドープn型STO層を用いた場合のエミッタ電流のコレクタ・ベース間電圧の依存性を示す図

【図12】本発明の第3の実施形態に係る磁気ヘッドを示す図

【図13】本発明の第4の実施形態に係る磁気ヘッドを示す図

示す図

【図14】本発明の第5の実施形態に係る磁性体素子を示す断面図

【図15】MR比のエミッタ電圧依存性を示す図

【図16】MR比のエミッタ中のFe膜の膜厚依存性を示す図

【図17】本発明の第6の実施形態に係る磁性体素子を示す断面図

【図18】本発明の第7の実施形態に係る磁性体素子を示す断面図

【図19】図7の磁性体素子の変形例を示す断面図

【図20】本発明の第8の実施形態に係る磁性体素子を示す断面図

【図21】本発明の第9の実施形態に係る磁性体素子を示す断面図

【図22】本発明の第10の実施形態に係る磁性体素子を示す断面図

【図23】本発明の第11の実施形態に係る磁性体素子を示す断面図

【図24】本発明の第12の実施形態に係る磁性体素子を示す断面図

【図25】本発明の第13の実施形態に係る磁性体素子を示す断面図

【図26】従来のトンネル注入型のホットエレクトロン・トランジスタを示す図

【図27】従来のショットキー注入型のホットエレクトロン・トランジスタを示す図

【図28】従来の磁性体トンネル接合素子とMOSトランジスタとからなる磁気メモリセルを示す図

【符号の説明】

1…磁性体トンネル接合素子（メモリセル本体、磁気ヘッド本体）

2…MOSトランジスタ

3…比較抵抗（第2の抵抗）

4…ゲート抵抗（第1の抵抗）

5…Si基板

6…バックアップ膜

7…バリア膜

8…磁性体超薄膜

9…ホットエレクトロン・トランジスタ（メモリセル本体、磁気ヘッド本体）

10…Si基板

11…SiO₂膜

12…Co膜（下部電極）

13…トンネル絶縁膜

14…Co超薄膜（上部電極）

15…バリア膜

16, 17…バックアップ膜

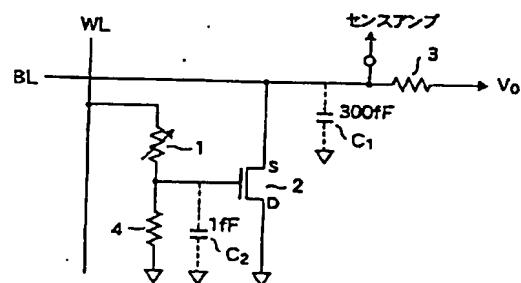
18…バリア膜

21…コレクタ（半導体領域）

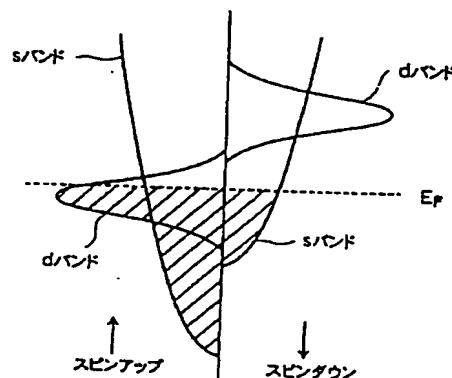
2 2 …ベース
 2 3 …エミッタ (磁性体電極)
 3 1 …Si基板 (半導体領域)
 3 2 …SiO₂膜
 3 3, 3 9 …バックアップ膜
 3 4, 3 8 …バリア膜
 3 5, 3 7 …Co超薄膜 (磁性体電極)
 3 6 …トンネル絶縁膜
 4 1 …半導体基板 (半導体領域)
 4 1 n …n型半導体基板 (半導体領域)
 4 2, 4 3 …磁性体電極
 4 4 …ゲート電極

4 5 …半導体層 (アンドープ)
 4 6 p …p型半導体層 (半導体領域)
 4 6 n …n型半導体層 (半導体領域)
 4 6 i …i型半導体層 (半導体領域)
 4 7 …トンネル絶縁膜
 4 8 …磁性体層 (磁性体領域)
 4 9 …強磁性体層
 5 0 …半導体層 (半導体領域)
 C 1 …浮遊容量
 C 2 …入力キャバシタンス
 BL …ビット線
 WL …ワード線

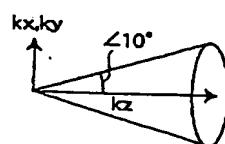
【図1】



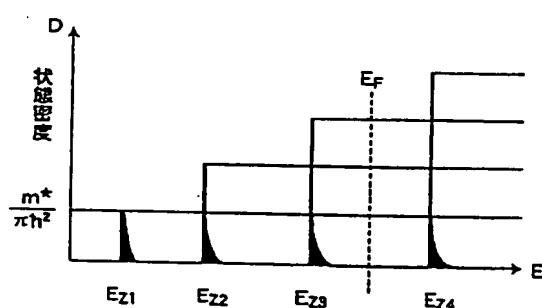
【図2】



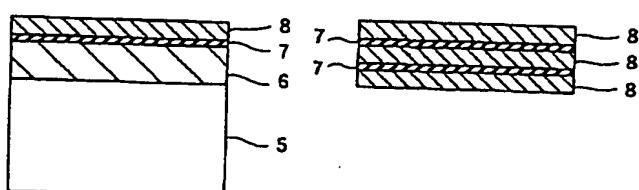
【図4】



【図3】

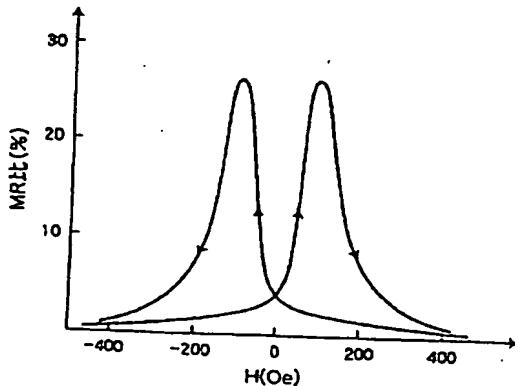
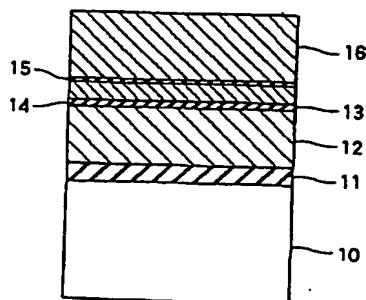


【図5】

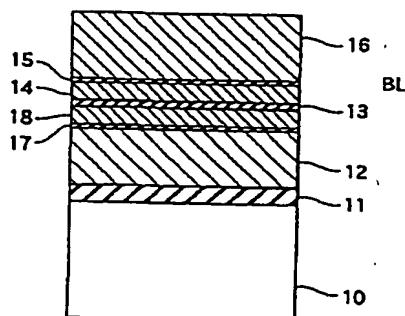


【図6】

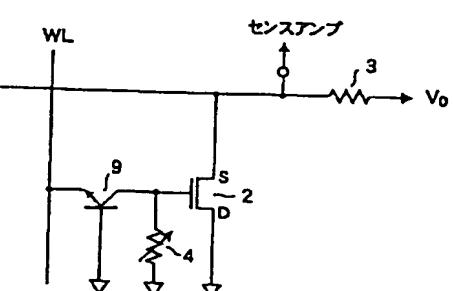
【図7】



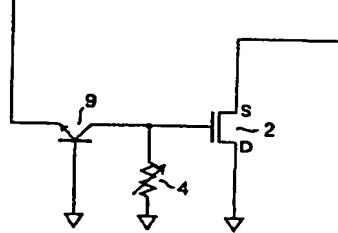
【図 9】



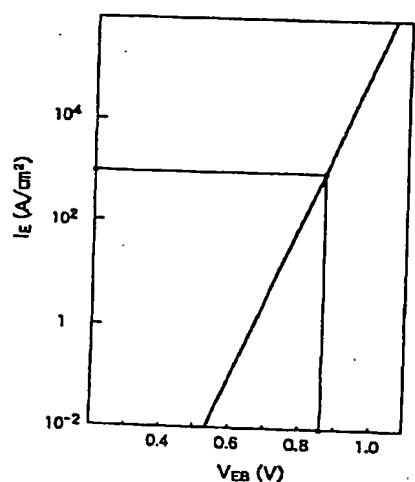
【図 10】



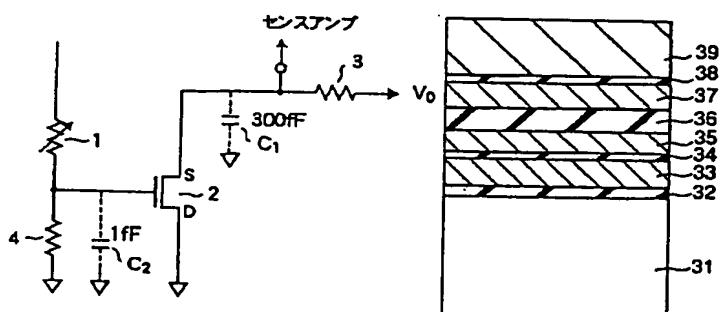
【図 13】



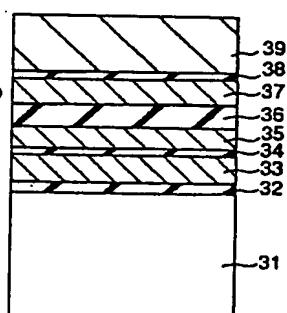
【図 11】



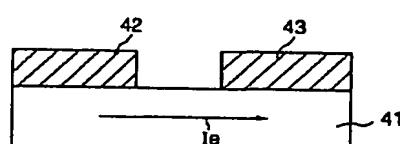
【図 12】



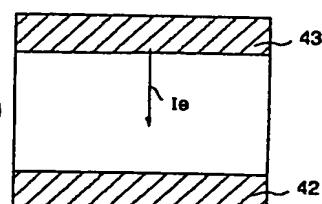
【図 17】



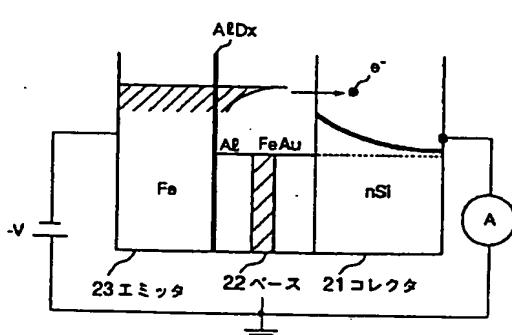
【図 18】



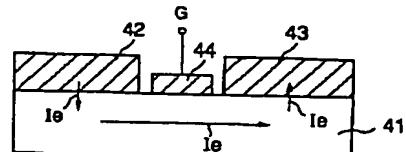
【図 19】



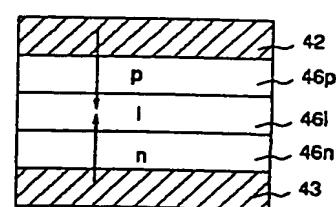
【図 14】



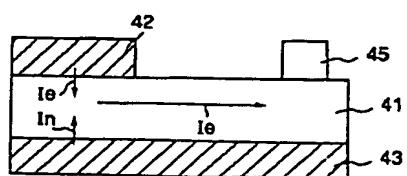
【図 20】



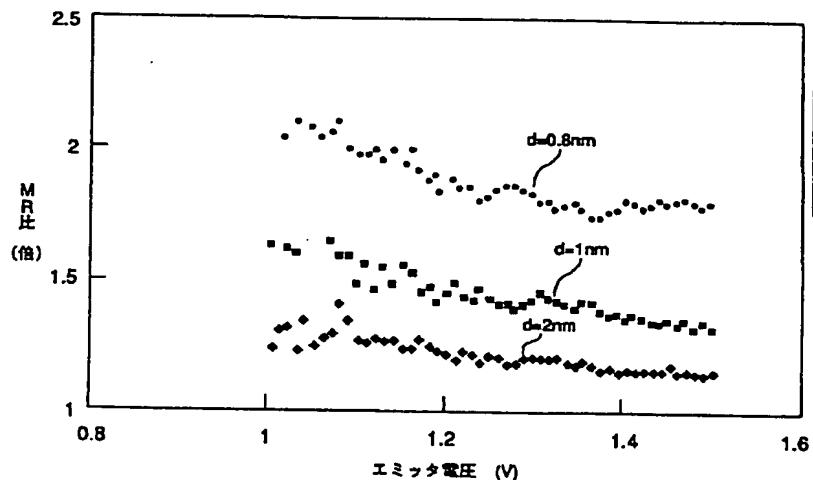
【図 23】



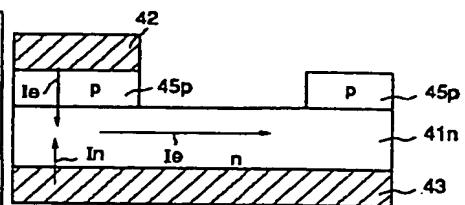
【図 21】



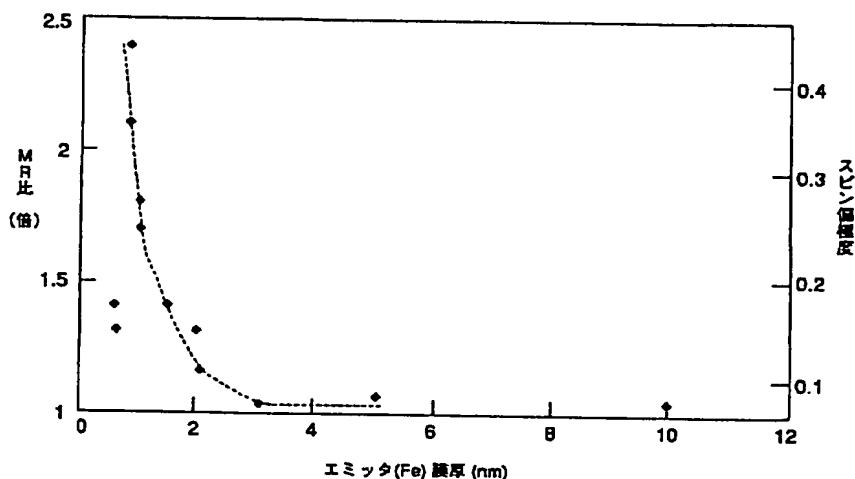
【図15】



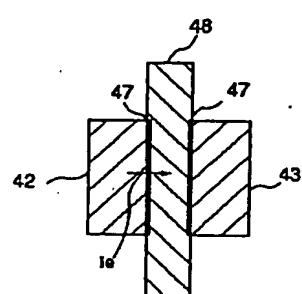
【図22】



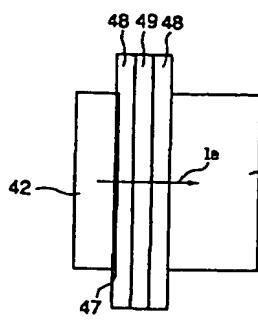
【図16】



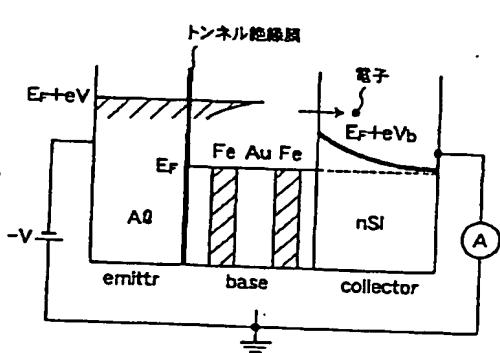
【図24】



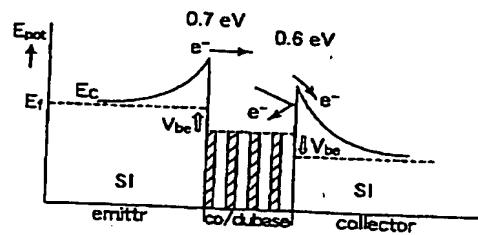
【図25】



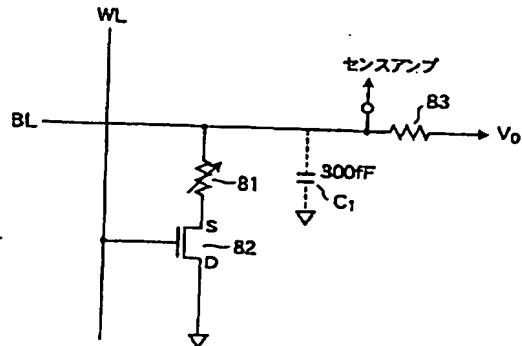
【図26】



【図27】



【図28】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.